

Abstract della tesi

Lo scopo principale del progetto di ricerca è stato la progettazione e lo sviluppo di sistemi elettronici integrati a larga scala, con particolare attenzione a quelli dedicati al processamento di immagini e formati multimediali e agli argomenti ad esso relativi. In particolare il candidato si è principalmente dedicato a cinque argomenti, dettagliati di seguito.

Innanzitutto, il candidato ha sviluppato un nuovo tipo di unità moltiplicativa capace di ottenere risultati in virgola mobile, dati in ingresso dei valori interi presi da un insieme finito e un insieme di valori codificati in virgola fissa. I risultati sono stati ottenuti utilizzando una serie di risultati relativi ad un problema di teoria dei numeri, il teorema di Bachet, per cui è possibile sviluppare un'aritmetica distribuita in base 3, invece della classica formulazione in base 2. Questo tipo di applicazione ben si presta ad applicazioni di filtraggio che lavorino su interi codificati in virgola fissa, come ad esempio le normali applicazioni per il processamento di immagini in cui i pixel sono codificati su 8 bit per canale. In queste applicazioni il problema principale è relativo all'occupazione di area e al consumo di potenza derivante dal gran numero di strutture Multiply and Accumulate, che tendono inoltre a fornire problemi di velocità al sistema nel caso di risultati in virgola mobile. Per questo motivo le implementazioni in virgola fissa sono solitamente preferite a queste ultime, anche a costo di una minore precisione del risultato finale. I risultati ottenuti per un singolo moltiplicatore e per un'unità capace di processare tile di immagini di dimensione 3x3 mostrano un ritardo di 2.456 ns e 4.7 ns su FPGA e di 2.18 ns e 4.426 ns per implementazione su 90nm std_cell TSMC, rispettivamente. Se paragonate agli standard moltiplicatori in virgola mobile i vantaggi ottenuti sono un incremento di velocità del 94.7% e una riduzione di area di 69.3% in FPGA.

Successivamente, utilizzando le conoscenze pregresse sul filtraggio di immagini, il candidato ha esaminato e migliorato una struttura di filtraggio per applicazione HW di algoritmi di inverse Tone Mapping per la conversione di immagini da LDR a HDR. Questa operazione è considerata computazionalmente onerosa a causa dell'alto numero di operazioni aritmetiche coinvolte. La struttura proposta è la prima presentata in HW per effettuare tale operazione su immagini di differente risoluzione, da formato Digital8 a 4K UHD TV. I risultati sono stati ottenuti grazie ad un'attenta riorganizzazione dei risultati parziali da riutilizzare e ad un'analisi relativa alle strutture di memorizzazione. Comparata ad una prima architettura sviluppata in precedenza dal gruppo di ricerca, quella multirisoluzione mostra solo dei leggeri peggioramenti in termini di massima frequenza di operazione ottenibile, riuscendo però ad ottenere ancora prestazioni real-time su frame Full-HD.

Dalle considerazioni sui problemi relativi alla lettura/scrittura delle memorie, il candidato si è poi interessato del miglioramento di tali operazioni all'interno di tali sistemi, in particolare per sistemi di memorizzazione SRAM. Il problema principale è relativo all'offset di tensione legato agli amplificatori operazionali componenti l'amplificatore di sensing, che vengono a crearsi a causa di mismatch tra i componenti del circuito di sensing stesso. Tale comportamento è peggiorato dallo scaling tecnologico in area. La soluzione proposta è stata lo sviluppo di un nuovo sense amplifier per la lettura di una cella di memoria 6T; diversi casi di test per diversi carichi capacitivi sulla bitline sono stati esaminati, simulando il comportamento di un diverso numero di celle afferenti alla stessa bitline. Il progetto è stato implementato utilizzando tecnologie TSMC 90nm e TSMC 180nm. Lo schema utilizza un numero di CMOS maggiore rispetto a schemi simili, ma aventi dimensioni minori, ottenendo un decremento di area, se comparato a questi ultimi. Inoltre si è ottenuta una

velocità di sensing raddoppiata rispetto al migliore dei casi di confronto e un offset sopportabile più che raddoppiato.

Successivamente si è tornati a dedicarsi al filtraggio di immagini e video. In particolare, il candidato ha sviluppato un acceleratore HW dedicato alla detezione dei bordi all'interno delle immagini utilizzando filtri di Gabor. Tale applicazione è particolarmente rilevante nel caso di sistemi di guida automatica, visual search e relative all' IoT. I filtri di Gabor hanno particolare rilevanza in questi campi perché generano risultati stabili a rotazioni e scaling dell'immagine. L'Application Specific Image Processor sviluppato presenta prestazioni convenienti in termini di trade off area/ritardo/potenza, grazie all'utilizzo dei parametri del filtro di Gabor al fine di ottenere semplificazioni HW. L'architettura è stata sviluppata per Xilinx Virtex 7 FPGA e TSMC CMOS 90nm std_cells. Si è ottenuta una frequenza massima di 172 MHz capace di farci ottenere il processamento di 83 frame Full-HD (1920x1080 pixels).

Infine, presso i laboratori STMicroelectronics di Cornaredo, si è sviluppato un progetto relativo ad acceleratori HW per reti neurali. Il candidato si è dedicato allo sviluppo di uno schema di decompressione basato sulla quantizzazione vettoriale per ottenere bassa occupazione di memoria per i kernel della rete e una migliore organizzazione delle operazioni relative alla memoria stessa. L'acceleratore proposto ha mostrato ottime prestazioni in termini di area/ritardo/potenza grazie allo sfruttamento di risultati relativi alla quantizzazione vettoriale, appunto.